

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-237946

(P2012-237946A)

(43) 公開日 平成24年12月6日(2012.12.6)

(51) Int.Cl.	F 1	テーマコード (参考)
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	2 H 0 4 0
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 0	4 C 1 6 1

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2011-108511 (P2011-108511)
 (22) 出願日 平成23年5月13日 (2011.5.13)

(71) 出願人 000000376
 オリンパス株式会社
 東京都渋谷区幡ヶ谷2丁目4番2号
 (74) 代理人 100076233
 弁理士 伊藤 進
 (72) 発明者 山内 英巧
 東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内
 Fターム(参考) 2H040 AA02 AA04 FA13 GA02 GA11
 4C161 AA29 CC06 JJ11 LL02 NN05
 SS03 SS07 SS11 YY02 YY12
 YY18

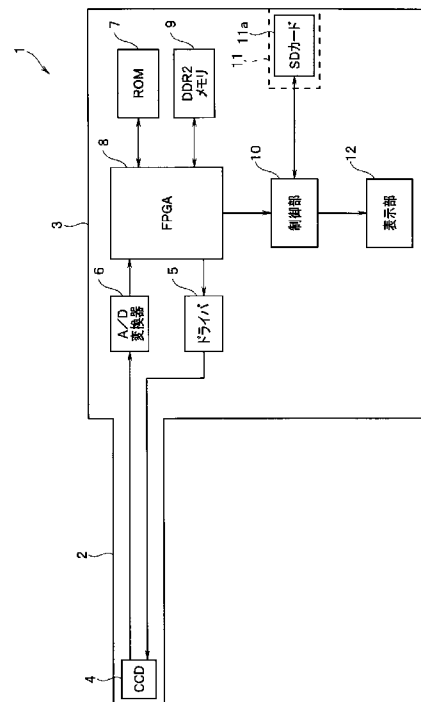
(54) 【発明の名称】 内視鏡

(57) 【要約】

【課題】 F P G A の発熱を抑えることができる内視鏡を提供する。

【解決手段】 内視鏡 1 は、挿入部 2 の先端に設けられた C C D 4 と、C C D 4 を駆動するための駆動信号を生成するとともに、C C D 4 から撮像信号が入力される F P G A 8 と、F P G A 8 から所定の通信クロックで撮像信号が入力され、入力された撮像信号の波形成分を整形するための終端抵抗 R 5 を有する D D R 2 メモリ 9 とを有する。そして、F P G A 8 は、ダンピング抵抗 R 1 を備え、撮像信号を所定の通信クロックで D D R 2 メモリ 9 に出力するときに、ダンピング抵抗 R 1 を動作させないように構成される。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

挿入部の先端に設けられた撮像素子と、

前記撮像素子を駆動するための駆動信号を生成するとともに、前記撮像素子からの撮像信号が入力される半導体回路と、

前記半導体回路から所定の通信クロックで前記撮像信号が入力され、入力された前記撮像信号の波形成分を整形するための第 1 の終端抵抗を有する記憶回路と、
を備え、

前記半導体回路は、ダンピング抵抗を備え、前記撮像信号を前記所定の通信クロックで前記記憶回路に出力するときに、前記ダンピング抵抗を動作させないことを特徴とする内視鏡。 10

【請求項 2】

前記半導体回路は、前記記憶回路から読み出される前記撮像信号の波形成分を整形するための第 2 の終端抵抗を有し、前記記憶回路から前記撮像信号を読み出すときに、前記終端抵抗を動作させないことを特徴とする請求項 1 に記載の内視鏡。

【請求項 3】

前記半導体回路は、前記ダンピング抵抗の動作を予め禁止されていることを特徴とする請求項 2 に記載の内視鏡。

【請求項 4】

前記半導体回路と前記記憶回路とは、前記所定の通信クロックで前記撮像信号を出力した際に、前記撮像信号が反射しないように隣接配置されていることを特徴とする請求項 3 に記載の内視鏡。 20

【請求項 5】

前記所定の通信クロックは、150MHz 以下であることを特徴とする請求項 4 に記載の内視鏡。

【請求項 6】

挿入部の先端に設けられた撮像素子と、

前記撮像素子を駆動するための駆動信号を生成するとともに、前記撮像素子からの撮像信号が入力される半導体回路と、

前記半導体回路から所定の通信クロックで前記撮像信号が入力され、前記所定の通信クロックで前記撮像信号が入力された際に、前記撮像信号が反射しないように前記半導体回路に隣接配置されるとともに、入力された前記撮像信号の波形成分を整形するための第 1 の終端抵抗を有する第 1 の記憶回路と、 30

前記半導体回路から前記所定の通信クロックで前記撮像信号が入力され、前記所定の通信クロックで前記撮像信号が入力された際に、前記撮像信号が反射するように前記半導体回路から離れて配置されるとともに、入力された前記撮像信号の波形成分を整形するための第 2 の終端抵抗を有する第 2 の記憶回路と、
を備え、

前記半導体回路は、ダンピング抵抗を備え、前記撮像信号を前記所定の通信クロックで前記第 1 の記憶回路に出力する場合、前記ダンピング抵抗を動作させず、前記撮像信号を前記所定の通信クロックで前記第 2 の記憶回路に出力する場合、前記ダンピング抵抗を動作させるように切り換える切換部を有することを特徴とする内視鏡。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、内視鏡に関し、特に、回路の構成を再構成可能な半導体回路を有する内視鏡に関する。

【背景技術】

【0002】

従来、内視鏡は、挿入部を航空機用エンジンや配管等の被検体内に挿入することによっ 50

て、被検体内の被検部位の傷及び腐蝕等の観察及び検査を行う。このような内視鏡は、回路の構成を再構成可能な F P G A (Field Programmable Gate Array) を有して構成されているものがある。この F P G A は発熱を伴うため、温度を下げる必要がある。

【 0 0 0 3 】

従来、F P G A の温度を下げるための方法として、例えば、冷却 F A N を設ける、あるいは、動作モードを複数設け、F P G A の温度に応じて動作モードを切り替える方法が行われている。

【 0 0 0 4 】

このような内視鏡として、例えば、特開 2 0 0 8 - 2 6 9 3 0 2 号公報には、F P G A の内外の温度を検出し、検出した F P G A の内外の温度に基づいて、予め設定された複数の動作モードからある動作モードを選択する。そして、選択された動作モードに対応する設定データに基づき、F P G A の回路構成を設定する技術が開示されている。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 8 - 2 6 9 3 0 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

しかしながら、このような内視鏡は、製品の小型化あるいは製品の仕様等から冷却 F A N を設けることができないことがある。また、このような内視鏡は、画像処理等のリアルタイム処理を行う必要があることから、F P G A の動作モードを切り替えることができないことがある。そのため、これらの状況が発生した場合、従来の内視鏡では、F P G A の温度を下げることをできない虞がある。

20

【 0 0 0 7 】

そこで、本発明は、F P G A の発熱を抑えることができる内視鏡を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の一態様によれば、挿入部の先端に設けられた撮像素子と、前記撮像素子を駆動するための駆動信号を生成するとともに、前記撮像素子からの撮像信号が入力される半導体回路と、前記半導体回路から所定の通信クロックで前記撮像信号が入力され、入力された前記撮像信号の波形成分を整形するための第 1 の終端抵抗を有する記憶回路と、を備え、前記半導体回路は、ダンピング抵抗を備え、前記撮像信号を前記所定の通信クロックで前記記憶回路に出力するときに、前記ダンピング抵抗を動作させないことを特徴とする内視鏡を提供することができる。

30

【 0 0 0 9 】

また、本発明の他の態様によれば、挿入部の先端に設けられた撮像素子と、前記撮像素子を駆動するための駆動信号を生成するとともに、前記撮像素子からの撮像信号が入力される半導体回路と、前記半導体回路から所定の通信クロックで前記撮像信号が入力され、前記所定の通信クロックで前記撮像信号が入力された際に、前記撮像信号が反射しないように前記半導体回路に隣接配置されるとともに、入力された前記撮像信号の波形成分を整形するための第 1 の終端抵抗を有する第 1 の記憶回路と、前記半導体回路から前記所定の通信クロックで前記撮像信号が入力され、前記所定の通信クロックで前記撮像信号が入力された際に、前記撮像信号が反射するように前記半導体回路から離れて配置されるとともに、入力された前記撮像信号の波形成分を整形するための第 2 の終端抵抗を有する第 2 の記憶回路と、を備え、前記半導体回路は、ダンピング抵抗を備え、前記撮像信号を前記所定の通信クロックで前記第 1 の記憶回路に出力する場合、前記ダンピング抵抗を動作させず、前記撮像信号を前記所定の通信クロックで前記第 2 の記憶回路に出力する場合、前記ダンピング抵抗を動作させるように切り換える切換部を有することを特徴とする内視鏡を

40

50

提供することができる。

【発明の効果】

【0010】

本発明の内視鏡によれば、FPGAの発熱を抑えることができる。

【図面の簡単な説明】

【0011】

【図1】第1の実施の形態に係る内視鏡の構成を示す図である。

【図2】ドライバ5の詳細な構成を説明するための図である。

【図3】従来のFPGAとDDR2メモリ9との接続の例を示す図である。

【図4】本実施の形態に係るFPGA8とDDR2メモリ9との接続の例を示す図である

10

。

【図5】第2の実施の形態に係る内視鏡の構成を示す図である。

【図6】第2の実施の形態に係るFPGA8a、DDR2メモリ9及び9aとの接続の例を示す図である。

【発明を実施するための形態】

【0012】

以下、図面を参照して本発明の実施の形態を説明する。

(第1の実施の形態)

【0013】

まず、図1に基づき、第1の実施の形態に係る内視鏡の構成を説明する。図1は、第1の実施の形態に係る内視鏡の構成を示す図である。

20

【0014】

図1において、内視鏡1は、航空機用エンジンや配管等の被検体内に挿入される挿入部2と、挿入部2の基端に接続される本体部3とを有して構成される。

【0015】

挿入部2は、可撓性のチューブ部材により構成され、先端側に設けられた先端部には、撮像素子としてのCCD4が内蔵されている。

【0016】

本体部3は、CCD4を駆動するドライバ5と、A/D変換器6と、ROM7と、FPGA8と、DDR2メモリ9と、制御部10と、SDカードスロット11と、表示部12とを有する。SDカードスロット11には、SDカード11aが着脱自在に装着される。

30

【0017】

CCD4は、挿入部2の先端部の先端面に設けられた図示しない対物光学系により結像された被写体の像を撮像する。CCD4は、ドライバ5からの水平及び垂直等の各種駆動信号に基づき、撮像した被写体の像を光電変換し、撮像信号としてA/D変換器6に出力する。

【0018】

A/D変換器6は、CCD4から出力された撮像信号を、アナログ信号からデジタル信号に変換し、FPGA8に出力する。

【0019】

ROM7には、FPGA8の回路構成を設定するための複数のプログラムが格納されている。これら複数のプログラムからいずれかのプログラムが読み出され、FPGA8の回路構成が設定される。

40

【0020】

FPGA8は、回路の構成を再構成可能な半導体回路であり、図示しない電源が投入されると、ROM7から所定のプログラムを読み出し、読み出した所定のプログラムに応じた回路を構成する。FPGA8は、ドライバ5へCCD4を駆動させるための各種駆動信号を出力する。ドライバ5は、これらの各種駆動信号を増幅してCCD4に出力する。

【0021】

また、FPGA8は、A/D変換器6から出力された撮像信号を所定の通信クロックに

50

同期させて D D R 2 メモリ 9 に出力し、D D R 2 メモリ 9 に記憶する。そして、F P G A 8 は、D D R 2 メモリ 9 に例えば 1 フレーム分の撮像信号が記憶されると、その 1 フレーム分の撮像信号を読み出し、画像処理を行う。F P G A 8 は、画像処理を行って得られた 1 フレーム分の画像信号を制御部 1 0 に出力する。なお、F P G A 8 は、A / D 変換器 6 から出力された撮像信号に対して画像処理を行って得られた画像信号を D D R 2 メモリ 9 に出力し、D D R 2 メモリ 9 に 1 フレーム分の画像信号が記憶されると、その 1 フレーム分の画像信号を読み出して制御部 1 0 に出力するようにしてもよい。

【 0 0 2 2 】

記録回路としての D D R 2 メモリ 9 は、F P G A 8 から所定の通信クロックに同期させて出力された撮像信号を記憶する。このように、本実施の形態では、撮像信号を記憶する記憶回路として D D R 2 メモリ 9 を用いている。これは、D D R 2 メモリ 9 が、転送レートが高く、安価で、かつ、入手性がよいためであるが、特に、D D R 2 メモリ 9 に限定されるものではなく、後述する端抵抗を備えるメモリであれば、他のメモリであってもよい。

10

【 0 0 2 3 】

制御部 1 0 は、図示しない操作部からの操作信号に基づき、F P G A 8 からの画像信号を S D カード 1 1 a に出力し、動画あるいは静止画として S D カード 1 1 a に記録させる制御を行う。さらに、制御部 1 0 は、F P G A 8 からの画像信号を表示部 1 2 に出力し、表示部 1 2 に被写体像を表示させる制御を行う。なお、制御部 1 0 は、図示しない操作部からの操作信号に基づき、F P G A 8 からの画像信号を S D カード 1 1 a 及び表示部 1 2

20

【 0 0 2 4 】

次に、ドライバ 5 の詳細な構成について説明する。

【 0 0 2 5 】

図 2 は、ドライバ 5 の詳細な構成を説明するための図である。

【 0 0 2 6 】

図 2 に示すように、ドライバ 5 は、V ドライバ 2 1 と、R G / H ドライバ 2 2 とを有して構成される。

【 0 0 2 7 】

V ドライバ 2 1 には、F P G A 8 から C C D 4 の垂直ラインを駆動するための垂直駆動信号（垂直駆動パルス）V 1、V 2、V 3 及び V 4 が入力される。また、V ドライバ 2 1 には、F P G A 8 から C C D 4 に蓄積された電荷をリセットするためのリセット信号（リセットパルス）S U B が入力される。

30

【 0 0 2 8 】

V ドライバ 2 1 は、垂直駆動信号 V 1 ~ V 4 及びリセット信号 S U B を増幅して C C D 4 に出力し、C C D 4 の垂直ラインを駆動及び C C D 4 に蓄積された電荷をリセットする。

【 0 0 2 9 】

R G / H ドライバ 2 2 には、F P G A 8 から C C D 4 の水平ラインを駆動するための水平駆動信号（水平駆動パルス）H が入力される。また、R G / H ドライバ 2 2 には、F P G A 8 から C C D 4 から電荷を取り出すための信号であるリセットゲート信号（リセットゲートパルス）R G が入力される。

40

【 0 0 3 0 】

R G / H ドライバ 2 2 は、水平駆動信号 H 及びリセットゲート信号 R G を増幅して C C D 4 に出力し、C C D 4 の水平ラインを駆動及び画素から電荷を取り出す。指定された画素の撮像信号は、A / D 変換器 6 を介して F P G A 8 に供給される。

【 0 0 3 1 】

これらの信号の中で、特に、リセットゲート信号 R G 及び水平駆動信号 H は、C C D 4 からの出力波形に大きな影響を与える。そのため、C C D 4 で得られる画像を良くするために、リセットゲート信号 R G 及び水平駆動信号 H の波形品質を良くする必要がある。

50

【0032】

特に、内視鏡1は、挿入部2が長いため、FPGA8からCCD4までの距離が長くなる。そのため、内視鏡1のような構成においては、FPGA8からRG/Hドライバ22に出力する信号波形のなまりを低減するために、リセットゲート信号RG及び水平駆動信号Hの駆動能力を上げる必要がある。

【0033】

このように、FPGA8は、リセットゲート信号RG及び水平駆動信号Hの駆動能力を上げる必要があるため、消費電力が上がり、発熱してしまうが、後述するように、ダンピング抵抗、プルアップ抵抗及び終端抵抗を未使用とすることにより、FPGA8の発熱を抑えられるようにしている。

10

【0034】

ここで、従来のFPGAとDDR2メモリ9との接続関係について説明する。

【0035】

図3は、従来のFPGAとDDR2メモリ9との接続の例を示す図である。

【0036】

図3に示すように、従来のFPGA50は、ドライバ31と、コンパレータ32とを有する。このドライバ31には、50のダンピング抵抗R1が実装されている。また、FPGA50には、コンパレータ32の+端子に接続される信号ラインと1.8Vの電源Vccとの間に100のプルアップ抵抗R2が実装され、コンパレータ32の+端子に接続される信号ラインとグランドGNDとの間に100の終端抵抗R3が実装されている。

20

【0037】

DDR2メモリ9は、コンパレータ33と、ドライバ34とを有する。また、DDR2メモリ9には、コンパレータ33の+端子に接続される信号ラインと1.8Vの電源Vccとの間に100のプルアップ抵抗R4が実装され、コンパレータ33の+端子に接続される信号ラインとグランドGNDとの間に100の終端抵抗R5が実装されている。そして、ドライバ34には、50のダンピング抵抗R6が実装されている。

【0038】

FPGA50とDDR2メモリ9とは、50の線路インピーダンスの信号線35により接続されている。

30

【0039】

ここで、FPGA50からDDR2メモリ9へ撮像信号を出力する場合の動作について説明する。

【0040】

FPGA50の内部に実装されているドライバ31から撮像信号がDDR2メモリ9に出力される際、ドライバ31に50のダンピング抵抗R1が実装されており、FPGA50とDDR2メモリ9とを接続している信号線35の線路インピーダンスが50となっているため、FPGA50からDDR2メモリ9までは100の抵抗が実装されることになる。

【0041】

40

一方、DDR2メモリ9の内部では、信号ラインとグランドGNDとの間に100の終端抵抗R5を実装することにより終端を取っている。このような従来の構成により、DDR2メモリ9に入力される撮像信号の反射を抑え、信号品質を向上させ、データ伝送に問題が発生しないようにしている。

【0042】

FPGA50から出力された撮像信号は、コンパレータ33の+端子に入力される。コンパレータ33の-端子には基準電圧として、例えば、1.8Vが入力される。コンパレータ33では、撮像信号を基準電圧と比較して、比較結果を図示しない記憶素子に出力する。

【0043】

50

次に、DDR2メモリ9からFPGA50へ撮像信号を出力する場合の動作について説明する。

【0044】

図示しない記憶素子から読み出された撮像信号は、ドライバ34を介して、FPGA50のコンパレータ32の+端子に供給される。DDR2メモリ9からFPGA50までは、ドライバ34のダンピング抵抗R6と信号線35の線路インピーダンスとから100の抵抗が実装されていることになる。FPGA50の内部では、100の終端抵抗R3を実装することにより終端を取っている。このような従来の構成により、FPGA50に入力される撮像信号の反射を抑え、信号品質を向上させ、データ伝送に問題が発生しないようにしている。

10

【0045】

次に、本実施の形態に係るFPGA8とDDR2メモリ9との接続関係について説明する。

【0046】

図4は、本実施の形態に係るFPGA8とDDR2メモリ9との接続の例を示す図である。なお、図4において、図3と同様の構成については、同一の符号を付している。

【0047】

図4に示すように、FPGA8は、ROM7からプログラムを読み出して、回路を構成する際に、ドライバ31のダンピング抵抗R1、プルアップ抵抗R2及び終端抵抗R3を動作させないように構成する。即ち、ドライバ31のダンピング抵抗R1、プルアップ抵抗R2及び終端抵抗R3は、信号ラインと接続されず、未使用とするように構成される。

20

【0048】

従来では、ダンピング抵抗R1に電流が流れた際に熱が発生する。また、電源Vcc及びグランドGND間において常に電流が流れていることから、プルアップ抵抗R2及び終端抵抗R3で熱が発生する。これらの熱により、FPGA8が発熱する。

【0049】

本実施の形態では、FPGA8の発熱を抑えるために、ダンピング抵抗R1、プルアップ抵抗R2、終端抵抗R3が未使用となるように、FPGA8の回路が構成される。このように、例えば、ダンピング抵抗R1を未使用とした場合、ダンピング抵抗R1を使用した場合と比べ、波形品質が保てなくなることがある。これは、FPGA8からDDR2メモリ9までは、信号線35の線路インピーダンスの50の抵抗が実装されていることになり、DDR2メモリ9の終端抵抗R5の100と終端が取れなくなるためである。

30

【0050】

そのため、本実施の形態では、FPGA8とDDR2メモリ9との実装間隔を短くするとともに、FPGA8とDDR2メモリ9との通信速度を低速にすることで、FPGA8のダンピング抵抗R1を未使用にした場合においても、波形品質の劣化を軽減させている。

【0051】

従来では、FPGA8とDDR2メモリ9との通信速度は、300MHzとなっているが、本実施の形態では、FPGA8とDDR2メモリ9との通信速度は、150MHzとする。一般的に、配線長が波長の1/100以上になると信号の反射が問題になるとされている。

40

【0052】

FPGA8とDDR2メモリ9との間の通信速度を150MHzとした場合、波長は、「光の速さ/周波数」の関係から、2mとなる。そのため、FPGA8とDDR2メモリ9とを接続する信号線35の配線長は2cm未満とすることが望ましい。

【0053】

そこで、本実施の形態では、FPGA8とDDR2メモリ9との配線長、即ち、信号線35が2cm未満となるように、FPGA8及びDDR2メモリ9を隣接して配置し、かつ、FPGA8とDDR2メモリ9との間の通信速度を150MHzとする。これにより

50

、FPGA 8は、ダンピング抵抗R1を未使用の場合でも、波形品質の劣化、即ち、内視鏡画像の画質の劣化を軽減させている。

【0054】

また、FPGA 8は、DDR2メモリ9から撮像信号を読み出す際に、終端抵抗R3を未使用としているが、上述したように、FPGA 8とDDR2メモリ9との間の通信速度を150MHzとし、かつ、FPGA 8とDDR2メモリ9とを接続する信号線35の配線長は2cm未満とすることにより、波形品質の劣化を軽減させている。

【0055】

以上のように、本実施の形態の内視鏡1は、ダンピング抵抗R1、プルアップ抵抗R2及び終端抵抗R3を未使用とするようにした。これにより、ドライバ31で流れる電流、及び、FPGA 8内の電源Vcc及びグランドGND間で流れる電流を抑制し、各抵抗で発生する発熱を抑えている。

10

【0056】

よって、本実施の形態の内視鏡1によれば、FPGA 8の発熱を抑えることができる。

【0057】

また、内視鏡1は、FPGA 8とDDR2メモリ9との間隔を例えば2cm未満になるように隣接して配置するとともに、FPGA 8とDDR2メモリ9との間の通信速度を150MHzとすることで、信号反射による波形品質の劣化も防ぐことができる。これにより、内視鏡1は、内視鏡画像の画質を劣化させることなく、FPGA 8の発熱を抑えることができる。

20

(第2の実施の形態)

【0058】

次に、第2の実施の形態について説明する。

【0059】

図5は、第2の実施の形態に係る内視鏡の構成を示す図である。なお、図5において、図1と同様の構成については、同一の符号を付して説明を省略する。

【0060】

本実施の形態の内視鏡1aは、第1の実施の形態のFPGA 8に代わり、FPGA 8aを用いるとともに、DDR2メモリ9aが追加されて構成されている。

【0061】

このDDR2メモリ9aは、例えば、あまりアクセスしないデータ等を一時的に保存する一時保存用の記録回路である。DDR2メモリ9aは、FPGA 8aから離れた位置、本実施の形態では、FPGA 8aから2cm以上離れて配置されている。そのため、FPGA 8aは、DDR2メモリ9aと終端を取らない場合、信号の反射により、波形品質が保てなくなる。

30

【0062】

図6は、本実施の形態に係るFPGA 8a、DDR2メモリ9及び9aとの接続の例を示す図である。なお、図6において、図4と同様の構成については、同一の符号を付して説明を省略する。また、DDR2メモリ9aは、DDR2メモリ9と同様の構成のため、同一の符号を付して説明を省略する。

40

【0063】

図6に示すように、FPGA 8aは、図4のFPGA 8に対して、切換スイッチ41、スイッチ42及び43が追加されて構成されている。

【0064】

切換スイッチ41は、ドライバ31の前段に設けられている。切換スイッチ41は、ある信号をDDR2メモリ9に出力する場合、ドライバ31のダンピング抵抗R1を未使用にするように、入力端子aが出力端子cに接続される。また、切換スイッチ41は、ある信号をDDR2メモリ9aに出力する場合、ドライバ31のダンピング抵抗R1を使用するように、入力端子aが出力端子bに接続される。

【0065】

50

スイッチ 4 2 は、コンパレータ 3 2 の信号ラインとプルアップ抵抗 R 2 との間に設けられている。スイッチ 4 2 は、DDR 2 メモリ 9 からある信号が読み出された場合、プルアップ抵抗 R 2 を未使用にするように、OFF する。また、スイッチ 4 2 は、DDR 2 メモリ 9 a からある信号が読み出された場合、プルアップ抵抗 R 2 を使用するように、ON する。

【 0 0 6 6 】

スイッチ 4 3 は、コンパレータ 3 2 の信号ラインと終端抵抗 R 3 との間に設けられている。スイッチ 4 3 は、DDR 2 メモリ 9 からある信号が読み出された場合、終端抵抗 R 3 を未使用にするように、OFF する。また、スイッチ 4 3 は、DDR 2 メモリ 9 a からある信号が読み出された場合、終端抵抗 R 3 を使用するように、ON する。

10

【 0 0 6 7 】

以上のように、内視鏡 1 a の F P G A 8 a は、信号反射による波形品質の劣化が起きないように隣接して配置されている DDR 2 メモリ 9 に信号を出力する、あるいは、DDR 2 メモリ 9 から信号を読み出す場合、ダンピング抵抗 R 1、プルアップ抵抗 R 2 及び終端抵抗 R 3 を未使用にするように、切換スイッチ 4 1、スイッチ 4 2 及び 4 3 を制御する。これにより、F P G A 8 a の発熱を抑えるようにしている。

【 0 0 6 8 】

一方、内視鏡 1 a の F P G A 8 a は、信号反射による波形品質の劣化が起きるように離れて配置されている DDR 2 メモリ 9 a に信号を出力する、あるいは、DDR 2 メモリ 9 a から信号を読み出す場合、ダンピング抵抗 R 1、プルアップ抵抗 R 2 及び終端抵抗 R 3 を使用するように、切換スイッチ 4 1、スイッチ 4 2 及び 4 3 を制御する。これにより、DDR 2 メモリ 9 a との間での信号反射による波形品質の劣化を防いでいる。

20

【 0 0 6 9 】

よって、本実施の形態の内視鏡 1 a によれば、信号反射による波形品質の劣化をさせることなく、F P G A 8 a の発熱を抑えることができる。

【 0 0 7 0 】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

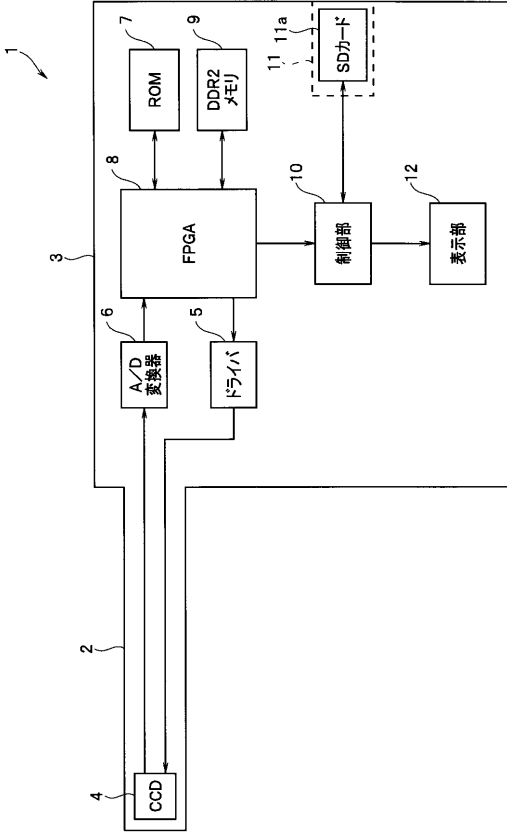
【 符号の説明 】

【 0 0 7 1 】

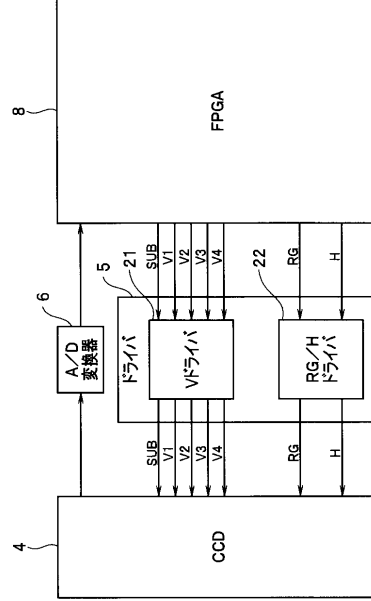
1 ... 内視鏡、2 ... 挿入部、3 ... 本体部、4 ... 先端部、5 ... ドライバ、6 ... A / D 変換器、7 ... ROM、8 , 8 a ... F P G A、9 , 9 a ... DDR 2 メモリ、1 0 ... 制御部、1 1 ... SD カードスロット、1 1 a ... SD カード、1 2 ... 表示部、2 1 ... V ドライバ、2 2 ... R G / H ドライバ、3 1 , 3 4 ... ドライバ、3 2 , 3 3 ... コンパレータ、3 5 ... 信号線。4 1 ... 切換スイッチ、4 2 , 4 3 ... スイッチ。

30

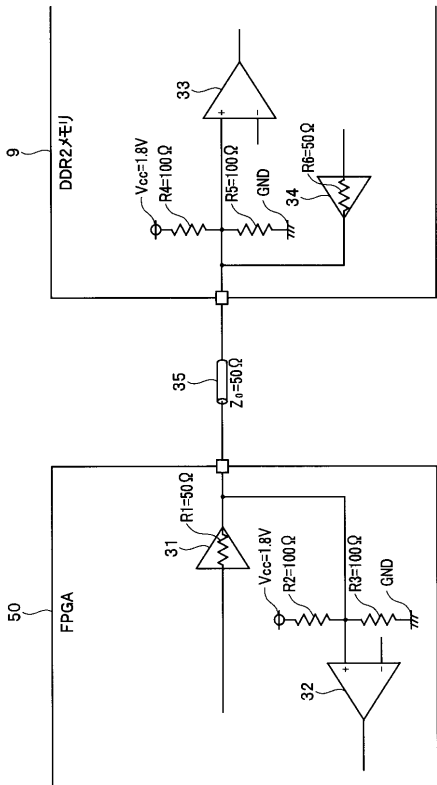
【図1】



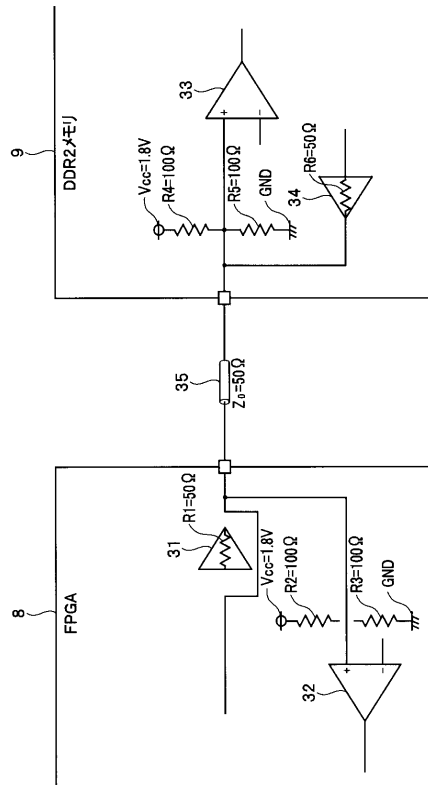
【図2】



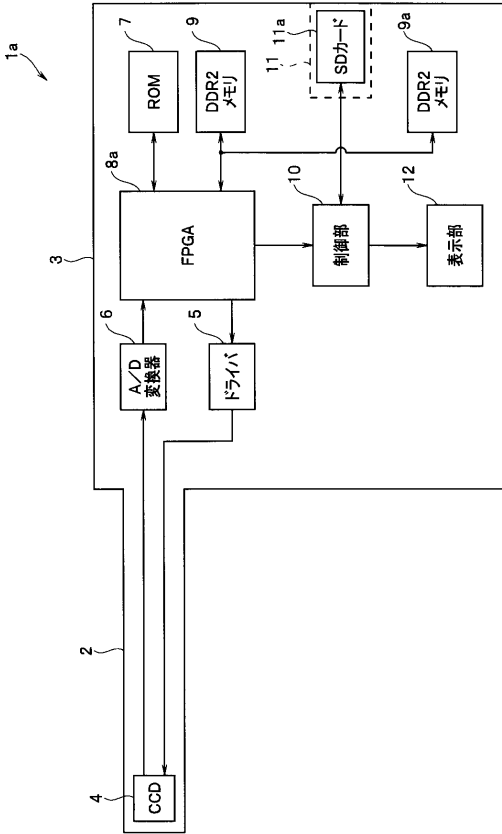
【図3】



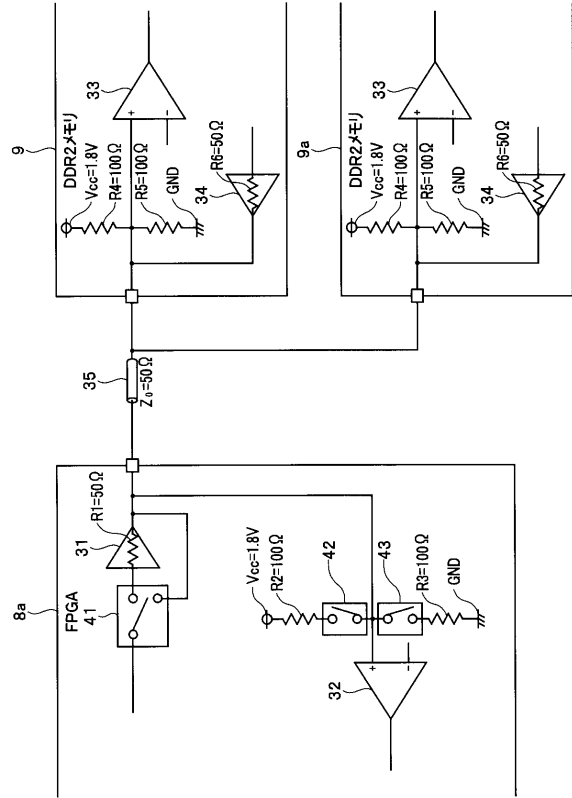
【図4】



【図5】



【図6】



专利名称(译)	内窥镜		
公开(公告)号	JP2012237946A	公开(公告)日	2012-12-06
申请号	JP2011108511	申请日	2011-05-13
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	山内英巧		
发明人	山内 英巧		
IPC分类号	G02B23/24 A61B1/04		
FI分类号	G02B23/24.B A61B1/04.370 A61B1/04 A61B1/045.610 A61B1/12.540		
F-TERM分类号	2H040/AA02 2H040/AA04 2H040/FA13 2H040/GA02 2H040/GA11 4C161/AA29 4C161/CC06 4C161/JJ11 4C161/LL02 4C161/NN05 4C161/SS03 4C161/SS07 4C161/SS11 4C161/YY02 4C161/YY12 4C161/YY18		
代理人(译)	伊藤 进		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制FPGA发热的内窥镜。内窥镜(1)产生设置在插入部分(2)尖端的CCD(4)，用于驱动CCD(4)的驱动信号，向其输入来自CCD(4)的图像拾取信号的FPGA(8)和来自FPGA(8)的预定量。DDR2存储器9，其具有用于对输入图像拾取信号的波形分量进行整形的终端电阻器R5。FPGA 8包括阻尼电阻器R1，并且被配置为当以预定的通信时钟将图像拾取信号输出到DDR2存储器9时不操作阻尼电阻器R1。[选型图]图1

